

## Technologie Überblick

### CONVEY HC-1 Hybrid-Core-Computer

#### Hintergrund

Um Kernel-spezifische Singlethread-Beschleunigung zu erreichen, werden innerhalb des traditionellen HPC-Marktes oft Coprozessoren in Form von Field Programmable Gate Arrays (FPGAs) und Grafik Prozessoren eingesetzt.

Ein FPGA ist ein integrierter Schaltkreis, der durch veränderte Konfiguration seiner Logik-Gatter "programmiert" werden kann. Gegenüber herkömmlichen CPUs besitzt ein FPGA zwar eine geringere Taktrate (Typ. 200 bis 400, max. 700 MHz), durch seine Möglichkeit, extrem parallel für spezielle Aufgaben konfiguriert zu werden, ist er in der Lage für bestimmte Aufgabenstellungen um eine Größenordnung schneller zu arbeiten als die herkömmliche CPU. Bisherige Anwendungsbereiche von FPGAs sind z.B. Kodierung/Dekodierung, Signaldatenverarbeitung, digitale Filter, Fast Fourier-Transformation und in Netzwerkprotokollen.

Heute steht den Anwendern eine große Auswahl an FPGAs für unterschiedliche Zwecke zur Verfügung. Bis zu 760.000 logische Zellen pro FPGA, gefertigt in 40 nm Strukturweite, ermöglichen fast jede beliebige Konfiguration. Durch integrierten SRAM Speicher können die FPGAs sehr schnell für geänderte oder weitere Aufgaben dynamisch neu konfiguriert werden, was die Einsatzmöglichkeiten drastisch erhöht.

Da die Integration dieser Technologien mit traditionellen HPC-Codes sehr umständlich und zeitaufwändig ist, hat die Firma **CONVEY COMPUTER CORPORATION** aus Richardson, Texas einen Hybrid-Core-Computer entwickelt, der die verschiedenen Technologien in einem System vereint. Dadurch können HPC-Codes einfach und schnell kompiliert werden, sodass die spezielle Hardware optimal genutzt und eine mehrfache Beschleunigung erreicht werden kann.

#### Einfache Integration ohne Kopfschmerzen!

Die Idee hinter dem HC-1 Computer war es, ein ganzheitliches, integriertes System von Hardware, Software und Anwendungsmodellen zu entwickeln. Durch die tiefe Integration aller Komponenten ist es nun möglich, eine radikale Beschleunigung der einzelnen Threads zu erreichen. HPC-User können nun solch eine integrierte Technologie durch einfaches „compile and run“ und ohne langfristige und komplizierte Prozesse einsetzen.

Äußerlich unterscheidet sich der HC-1 Rechner nicht von anderen Intel-basierten x86\_64 Servern. Er passt in ein 2U Formfaktor Gehäuse mit einem Dual-Socket Motherboard. Ein Socket ist mit einem Dual-Core Intel Xeon 5400-Serie-Prozessor, der als Host-Prozessor genutzt wird, bestückt. Der andere Socket wird als Schnittstelle zu dem von CONVEY entwickelten Daughterboard genutzt, das sich im oberen Teil des Gehäuses befindet. Dieses Daughterboard enthält den Coprozessor in Form mehrerer FPGAs und ist das erste wichtige Stück der CONVEY Lösung.

#### Anwendungs-Engines

Das Daughterboard beherbergt vier Xilinx Virtex5 FPGA Coprozessoren oder Applikation-Engines (AE), acht Memory-Controller mit sechzehn DDR2 DIMM Steckplätze und die Host-Computer- Schnittstelle,

auch Applikation-Engine Hub (AEH) genannt. Ähnliche Socket-Designs findet man auch basierend auf dem AMD HyperTransport Interface. Allerdings bietet die AEH Schnittstelle die zusätzliche Funktion eines Cache-kohärentem Zugangs zwischen dem Host-Prozessor, den Coprozessoren (FPGAs) und dem Intel I/O Hub über den gesamten Speicherbereich des Systems hinweg.



Anwender müssen nicht explizit Speicherblöcke vom Host-Prozessor zu den Coprozessoren innerhalb eines Compute-Kernels übertragen. Die Coprozessoren können alle Speicherlokationen des Host-Prozessors referenzieren. Ebenso kann der Host-Prozessor auf alle sechzehn DDR2 Memory DIMMs des Coprozessors auf dem Daughterboard zugreifen. Dies erfordert eine erhebliche Bandbreite des Memory Systems. Das Daughterboards unterstützt eine Bandbreite von bis zu 80 GB/s zwischen den acht Memory-Controllern und ist komplett mit integriertem snoop Filter ausgestattet.

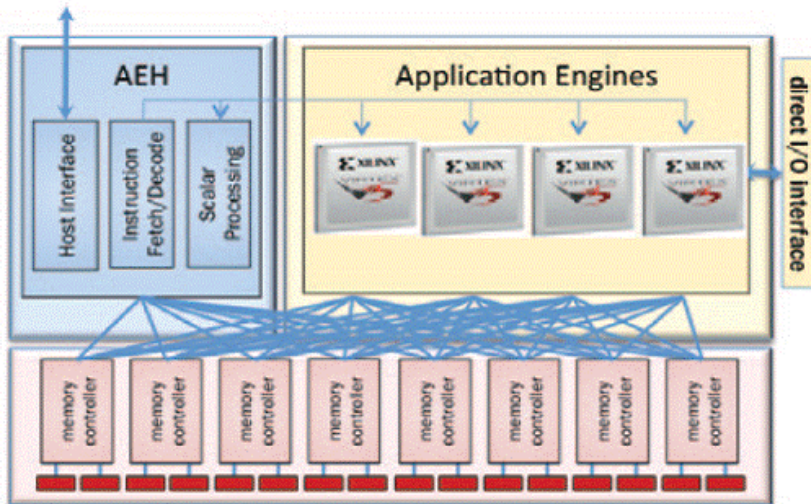
Für Anwendungen, deren Speicher-Operationen normalerweise durch unterschiedliche Schrittweiten im Speicherzugriff (strided memory access) gekennzeichnet sind, wie das zum Beispiel bei multi-dimensionalen Fluid Dynamics Problemen der Fall ist, stellt CONVEY einen besonderen „Scatter/Gather DIMM“ Speicher bereit. Diese Anwendungen benötigen meist nur 8 Bytes aus einer gesamten 64 Byte Cache-Linie. Das CONVEY Speicher-system kann mit Hilfe dieser „Scatter/Gather“ Technologie auf einzelne 8 Byte Wörter zugreifen, ohne dass die zusätzlichen 56 Bytes übertragen werden müssen. Hierdurch wird eine höhere durchschnittliche Peak Speicher-Bandbreite realisiert.

### **Erweiterter Zugriff mit Reduzierung von Barrieren**

Die Hardware stellt nur die Arbeits-Plattform zur Verfügung. Die Fähigkeit, dass Anwendungen richtig funktionieren und laufen, erfordert intelligente Software. Um die Coprozessoren (FPGAs) richtig einsetzen und programmieren zu können, werden in der Regel ein tiefes Verständnis der Elektrotechnik und der Schaltungsklogik benötigt. Eines der primären Ziele von CONVEY ist es, den Level des erforderlichen Know-hows zu reduzieren, um Anwendern den Einsatz von Programmen und 3rd Party Anwendungen mit der FPGA Technologie zu erleichtern. Um das zu realisieren, setzt CONVEY ein „Common Language Runtime System“ ein. Mit der Hilfe der Open64 Compiler Technologie erstellte CONVEY einen vollständig kompatiblen C/C++/FORTRAN Compiler-Stack, der einen GNU-kompatiblen x86\_64 Binärcode für beide, den Host Prozessor und die Coprozessoren erzeugt.

Code, der mit den CONVEY Compilern erzeugt wurde, kann auch auf normalen, nicht von CONVEY entwickelten Systemen laufen, da der erzeugte Code binärkompatibel zu den Standard Intel x86\_64 Systemen ist. Dies bedeutet auch, dass Tools wie der GNU Debugger auch zum Debuggen von Code auf

einem CONVEY System nativ genutzt werden können. Es werden sogar spezielle Beschleunigungs-instruktionen und Erweiterungen von CONVEY, welche im Code eingebunden sind, unterstützt.



CONVEY Funktionales Diagramm

### Mehrere Persönlichkeiten

Der letzte wichtige Teil der CONVEY Lösung erlaubt das dynamischen Laden von verschiedenen Konfigurationen und Instruktionen der Coprozessoren. CONVEY ist in der Lage die „Hardware Personalities“ der Virtex5 FPGAs zu ersetzen beziehungsweise neu zu laden. Das kann auch automatisch während des Betriebes geschehen wenn zum Beispiel ein Anwender eine Anwendung hat, die große Arrays berechnet, die leicht vektorisiert werden können und die kurz darauf eine Serie von „long-state-machines“ berechnet. Wenn die Anwendung die erste Vektor Instruktion lädt, signalisiert die AEH den Coprozessoren, sich selbst in einem „breiten Vektor-Prozessor“ zu konfigurieren. Wenn die Vektor Instruktionen abgeschlossen sind, signalisiert die AEH den Coprozessoren erneut, die Persönlichkeit eines definierten Zustands einzunehmen „State-Maschine“ zu laden. Dieser Hardware Kontextwechsel passiert in Echtzeit mit sehr geringem Einfluss auf die Zeitverzögerung der Anwendung. Die AEH speichert zusätzlich die entladene Persönlichkeit im Cache für den Fall, dass Sie kurzfristig wieder verwendet werden soll.

Es steht eine Reihe von verschiedenen Hardware-Persönlichkeiten zur Verfügung, die für eine Vielzahl von Anwendungen entwickelt worden sind. Auch steht ein „Personality Development Kit“ (PDK) zur Verfügung, das es Anwendern erlaubt, eigene Persönlichkeiten zu entwickeln, um eine spezielle Funktion abbilden zu können. Applikationen, die eine spezielle „Vector-Unit“ mit Tausenden von Instruktionen oder einen Zustandsautomaten (wide-state-machine) mit nur einem Paar von Ein-/Ausgangs Instruktionen benötigen, können dies einfach mit der CONVEY Development Kit erreichen.

### Fazit

Das CONVEY HC-1 System liefert eine hohe Singlethread-Performance ohne Kompatibilität, Compliance oder Benutzerfreundlichkeit zu beeinträchtigen. Die Systeme von CONVEY bieten neue, innovative Lösungsansätze für höchste Performance Ansprüche und erlauben völlig neue Ansätze für den HPC-Markt und deren Anwender.

Source: In Teilen aus insideHPC.com - Lifting the Hood at CONVEY Computer - 22. Juli 2009, by John Leidel